

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: *Park et al.*

Serial No. To be assigned

Filed: Concurrently herewith

For: **METHODS OF FABRICATING MOS FIELD EFFECT TRANSISTORS WITH
• POCKET REGIONS**

Date: February 17, 2004

MAIL STOP PATENT APPLICATION

Commissioner for Patents

P.O. Box 1450

Alexandria, VA 22313-1450

SUBMITTAL OF PRIORITY DOCUMENT

Sir:

To complete the requirements of 35 USC 119, enclosed are certified copies of the following Korean priority applications:

10-2003-0010323, filed February 19, 2003.

Respectfully submitted,



Timothy J. O'Sullivan

Registration No. 35,632

Myers Bigel Sibley & Sajovec, P.A.

P. O. Box 37428

Raleigh, North Carolina 27627

Telephone: (919) 854-1400

Facsimile: (919) 854-1401

Customer No. 20792

CERTIFICATE OF EXPRESS MAILING

Express Mail Label No. EV 381447412 US

Date of Deposit: February 17, 2004

I hereby certify that this correspondence is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR § 1.10 on the date indicated above and is addressed to: Mail Stop PATENT APPLICATION, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.



Traci A. Brown



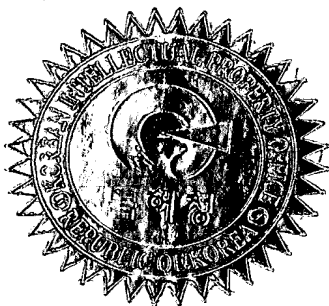
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2003-0010323
Application Number

출원년월일 : 2003년 02월 19일
Date of Application FEB 19, 2003

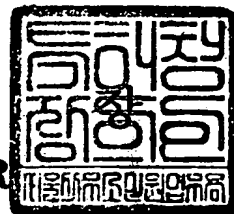
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 07 월 15 일

특 허 청

COMMISSIONER



【서지사항】

| | |
|------------|--|
| 【서류명】 | 특허출원서 |
| 【권리구분】 | 특허 |
| 【수신처】 | 특허청장 |
| 【참조번호】 | 0020 |
| 【제출일자】 | 2003.02.19 |
| 【국제특허분류】 | H01L |
| 【발명의 명칭】 | 포켓영역을 구비하는 모스 전계효과 트랜지스터의 제조방법 |
| 【발명의 영문명칭】 | Method of fabricating MOS Field Effect Transistor with pocket region |
| 【출원인】 | |
| 【명칭】 | 삼성전자 주식회사 |
| 【출원인코드】 | 1-1998-104271-3 |
| 【대리인】 | |
| 【성명】 | 이영필 |
| 【대리인코드】 | 9-1998-000334-6 |
| 【포괄위임등록번호】 | 2003-003435-0 |
| 【대리인】 | |
| 【성명】 | 정상빈 |
| 【대리인코드】 | 9-1998-000541-1 |
| 【포괄위임등록번호】 | 2003-003437-4 |
| 【발명자】 | |
| 【성명의 국문표기】 | 박창현 |
| 【성명의 영문표기】 | PARK, Chang Hyun |
| 【주민등록번호】 | 760226-1122815 |
| 【우편번호】 | 442-470 |
| 【주소】 | 경기도 수원시 팔달구 영통동 1029-15 도무스빌 203호 |
| 【국적】 | KR |
| 【발명자】 | |
| 【성명의 국문표기】 | 고영건 |
| 【성명의 영문표기】 | K0, Young Gun |
| 【주민등록번호】 | 710426-1064014 |



1020030010323

출력 일자: 2003/7/16

| | |
|------------|--|
| 【우편번호】 | 463-923 |
| 【주소】 | 경기도 성남시 분당구 하탑동(탑마을) 경남아파트 704-304 |
| 【국적】 | KR |
| 【발명자】 | |
| 【성명의 국문표기】 | 오창봉 |
| 【성명의 영문표기】 | OH, Chang Bong |
| 【주민등록번호】 | 650420-1674813 |
| 【우편번호】 | 463-801 |
| 【주소】 | 경기도 성남시 분당구 구미동(무지개마을) 신한@ 303-104 |
| 【국적】 | KR |
| 【발명자】 | |
| 【성명의 국문표기】 | 강희성 |
| 【성명의 영문표기】 | KANG, Hee Sung |
| 【주민등록번호】 | 700808-1251310 |
| 【우편번호】 | 463-914 |
| 【주소】 | 경기도 성남시 분당구 정자동(한솔마을) 청구아파트 112-906 |
| 【국적】 | KR |
| 【발명자】 | |
| 【성명의 국문표기】 | 이상진 |
| 【성명의 영문표기】 | LEE, Sang Jin |
| 【주민등록번호】 | 711023-1080218 |
| 【우편번호】 | 120-855 |
| 【주소】 | 서울특별시 서대문구 홍제2동 90-20 |
| 【국적】 | KR |
| 【심사청구】 | 청구 |
| 【취지】 | 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이영필 (인) 대리인 정상빈 (인) |
| 【수수료】 | |
| 【기본출원료】 | 20 면 29,000 원 |
| 【가산출원료】 | 5 면 5,000 원 |

| | | | | |
|----------|---------|----------------|---------|---|
| 【우선권주장료】 | 0 | 건 | 0 | 원 |
| 【심사청구료】 | 11 | 항 | 461,000 | 원 |
| 【합계】 | 495,000 | | | 원 |
| 【첨부서류】 | 1. | 요약서·명세서(도면)_1통 | | |

【요약서】**【요약】**

간단한 공정에 의해 포켓영역의 면적을 제어할 수 있는 포켓영역을 구비한 MOS 전계효과 트랜지스터의 제조방법이 개시된다. 본 발명의 제조방법은, 반도체기판상에 게이트전극층을 형성한 후, 이온주입하여 LDD 영역을 형성하고, 게이트전극층의 측벽으로부터 소정의 거리에 이르는 상기 반도체기판의 표면 일부를 노출시키는 복수개의 블록킹층으로 이루어진 블록킹층 패턴을 형성한 후, 일정한 틸팅 각도로 이온주입하여 반도체기판내에 포켓영역을 형성한다. 이어서, 상기 블록킹층 패턴을 제거한 후, 게이트전극층의 측벽에 스페이서를 형성하고, 스페이서가 형성된 게이트전극층을 이온주입 마스크로 하여 이온주입하여 반도체기판내에 딥 소오스/드레인 영역을 형성하는 단계를 포함한다.

【대표도】

도 10

【명세서】**【발명의 명칭】**

포켓영역을 구비하는 모스 전계효과 트랜지스터의 제조방법(Method of fabricating MOS Field Effect Transistor with pocket region)

【도면의 간단한 설명】

도 1은 종래 기술에 따른 포켓영역을 구비하는 모스 전계효과 트랜지스터를 나타내는 단면도이다.

도 2는 본 발명의 실시예에 따라 포켓영역을 형성하기 위한 이온주입시 블록킹 효과를 설명하기 위한 개략도이다.

도 3 내지 도 14는 본 발명의 실시예에 따른 포켓영역을 구비하는 모스 전계효과 트랜지스터의 제조방법을 설명하기 위한 공정단면도들이다.

※ 도면의 주요 부분에 대한 부호의 간단한 설명

50 ; 반도체기판 52 ; 필드영역

54 ; 게이트절연층 56 ; 게이트전극층

58 ; 제1 절연층 60 ; 제1 이온주입물

62 ; 제1 이온주입층 64 ; 제1 블록킹층

66 ; 제2 블록킹층 68 ; 포토레지스트 패턴

72 ; 언더컷부 74a, 74b ; 제2 이온주입물

76 ; 제2 이온주입층 78 ; 블록킹영역

80 ; 게이트 스페이서 82 ; 제3 이온주입물

84 ; 제3 이온주입층

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<14> 본 발명은 모스(MOS) 전계효과 트랜지스터의 제조방법에 관한 것으로, 보다 상세하게는 단채널효과(short channel effect; SCE)를 억제시켜주기 위해 소오스/드레인 영역에 도입되는 포켓영역(pocket region)을 구비한 모스 전계효과 트랜지스터의 제조방법에 관한 것이다.

<15> 반도체 집적회로의 집적도가 높아짐에 따라 개별 반도체소자, 특히 모스 전계효과 트랜지스터의 크기가 급격히 감소하고 있다. 특히, 서브마이크론 이하로 스케일 다운이 되면서 소오스영역과 드레인영역 사이에 형성되는 채널영역의 길이가 급격히 단축되면서 모스 전계효과 트랜지스터의 문턱전압이 강하하고 펀치쓰루우가 발생하는 등의 트랜지스터의 기능을 상실케하는 단채널효과가 나타난다. 이러한 단채널효과를 억제시켜주기 위하여 게이트전극 하부의 채널영역과 소오스영역 또는 드레인 영역 사이에 불순물이온을 주입하여 포켓영역을 형성하는 방법이 제안되었다.

<16> 도 1은 종래 기술에 따라 제조된 포켓영역을 구비하는 모스 전계효과 트랜지스터의 하나의 예를 나타내는 단면도로서, 미합중국 특허 제5,733,792호에 그 상세한 내용이 개시되어 있다.

- <17> 도 1을 참조하여 종래의 포켓영역을 구비하는 MOS 트랜지스터의 제조과정을 간단히 살펴본다.
- <18> 먼저, 실리콘의 국부적 산화를 통하여 실리콘기판(1)의 표면에 선택적으로 필드산화막(2)을 형성하며, 문턱전압의 조정을 위해 실리콘기판(1)내에 불순물이온을 주입한다. 실리콘의 열적 산화를 통하여 실리콘기판(1)의 표면에 게이트산화막(3)을 형성한 후, 게이트산화막(3) 상에 폴리실리콘층(4)을 형성하고 포토리소그래피 공정과 이방성 식각 공정에 의해 폴리실리콘 게이트전극(4)을 형성한다.
- <19> 이어서, 실리콘기판(1)의 전면에 실리콘 산화막을 형성한 후 이방성 식각공정에 의해 폴리실리콘 게이트전극(4)의 측벽에 실리콘 산화막 스페이서(5)를 형성하고, 게이트전극(4)과 스페이서(5)를 마스크로 하여 이온주입하여 소오스/드레인 영역(7)을 형성한다.
- <20> 이어서, 에피택셜 성장법에 의해 상기 스페이서(5)에 대하여 높은 선택비를 갖는 조건하에서 상기 소오스/드레인 영역(7)상에 실리콘 선택 성장층(8)을 형성한다. 상기 실리콘 선택 성장층(8)은 상기 실리콘 산화막 스페이서(5)와 마주보는 경사면(9)을 가지며, 이 경사면(9)은 상기 실리콘 산화막 스페이서(5)의 바닥부분까지 거의 선형적으로 경사지도록 형성된다.
- <21> 계속하여, 상기 실리콘 산화막 스페이서(5)와 실리콘 선택 성장층(8)을 마스크로 하여 불순물이온(10)을 경사지게 주입하여 상기 소오스/드레인 영역(7)의 내측 가장자리 근처에 포켓영역(11)을 형성한다.

<22> 그러나, 상기 종래기술에서는 소오스/드레인영역(7)의 내측 가장자리에 제한적으로 포켓영역(11)을 양호하게 형성하기 위해서는, 포켓영역(11)을 형성하기 위한 불순물이온(10)의 이온주입각도가 에피택셜 성장되는 실리콘 선택 성장층(8)의 경사면(9)의 각도에 직접적인 영향을 받기 때문에 실리콘 선택 성장층(8)의 높이 및 경사면(9)의 각도를 매우 정밀하게 제어해야만 한다는 문제점이 있다.

<23> 또한, 상기 종래기술에서는 게이트전극(4)의 측벽에 실리콘 산화막 스페이서(5)가 형성되며, 스페이서(5)의 바닥 외측 가장자리에서 일정한 경사면(9)을 갖는 실리콘 선택 성장층(8)과 접촉하기 때문에 포켓영역(11)을 형성하기 위한 불순물이온(10) 주입시 마스크 역할을 하는 실리콘 선택 성장층(8)과 실리콘 산화막 스페이서(5)의 재질 및 이온주입각도를 기준으로한 마스크의 높이가 위치에 따라 다르기 때문에 포켓영역(11)의 불순물이온의 농도 및 프로파일의 제어가 매우 힘들다는 문제점이 있다.

【발명이 이루고자 하는 기술적 과제】

<24> 본 발명의 목적은 상기의 문제점들이 발생하지 않으면서도 간단한 공정에 의해 포켓영역의 농도 및 형성 위치를 제어할 수 있는 포켓영역을 구비한 MOS 전계효과 트랜지스터의 제조방법을 제공하는 데 있다.

<25> 본 발명의 다른 목적은 포켓영역의 농도 및 형성 위치를 정확히 제어함으로써 단채널효과를 억제하는 동시에 접합용량의 감소도 정확히 제어할 수 있는 포켓영역을 구비한 MOS 전계효과 트랜지스터의 제조방법을 제공하는 데 있다.

【발명의 구성 및 작용】

<26> 상기 목적들을 달성하기 위한 본 발명의 한 형태에 따른 포켓영역을 구비한 모스 전계효과 트랜지스터의 제조방법은, 반도체기판상에 게이트전극층을 형성하는 단계, 상기 게이트전극층을 이온주입 마스크로 하여 이온주입함으로써 상기 반도체기판내에 LDD(Lightly Doped Drain)영역을 형성하는 단계, 상기 게이트전극층이 형성된 반도체기판상에, 상기 게이트전극층의 측벽으로부터 소정의 거리에 이르는 상기 반도체기판의 표면 일부를 노출시키는 복수개의 블록킹층으로 이루어진 블록킹층 패턴을 형성하는 단계, 상기 게이트전극층과 블록킹층 패턴을 이온주입 마스크로 하여 이온주입함으로써 상기 반도체기판내에 포켓영역을 형성하는 단계, 상기 블록킹층 패턴을 제거하는 단계, 상기 게이트전극층의 측벽에 스페이서를 형성하는 단계 및 상기 스페이서가 형성된 게이트전극층을 이온주입 마스크로 하여 이온주입함으로써 상기 반도체기판내에 딥 소오스/드레인(Deep Source/Drain) 영역을 형성하는 단계를 포함한다.

<27> 상기 목적을 달성하기 위한 본 발명의 다른 형태에 따른 포켓영역을 구비한 모스 전계효과 트랜지스터의 제조방법은, 반도체기판상에 게이트전극층을 형성하는 단계, 상기 게이트전극층이 형성된 반도체기판상에, 상기 게이트전극층의 측벽으로부터 소정의 거리에 이르는 부분을 노출시키는 복수개의 블록킹층으로 이루어진 블록킹층 패턴을 형성하는 단계, 상기 게이트전극층과 블록킹층 패턴을 이온주입 마스크로 하여 이온주입함으로써 상기 반도체기판내에 포켓영역을 형성하는 단계, 상기 블록킹층 패턴을 제거하는 단계, 상기 게이트전극층을 이온주입 마스크로 하여 이온주입함으로써 상기 반도체기판내에 LDD 영역을 형성하는 단계, 상기 게이트전극층의 측벽에 스페이서를 형성하는 단계

및 상기 스페이서가 형성된 게이트전극층을 이온주입 마스크로 하여 이온주입함으로써 상기 반도체기판내에 딥 소오스/드레인 영역을 형성하는 단계를 포함한다.

<28> 본 발명의 실시예들에서 상기 반도체기판은 단결정 실리콘 기판 또는 SOI(Silicon On Insulator) 기판일 수 있으며, 상기 게이트전극층은 폴리실리콘층, 실리콘결합물층 또는 금속층의 적어도 하나 또는 이들의 조합으로 이루어질 수 있다.

<29> 한편, 본 발명의 실시예들에서 상기 블록킹층 패턴을 형성하는 단계는, 상기 게이트전극층이 형성된 반도체기판의 전체 표면에 제1 블록킹층을 증착하는 단계, 상기 제1 블록킹층상에 제1 블록킹층과 식각선택성을 갖는 제2 블록킹층을 증착하는 단계, 상기 게이트전극층을 중심으로 그 양 측벽으로부터 소정의 거리에 이르는 부분을 노출시키는 포토레지스트 패턴을 형성하는 단계, 상기 포토레지스트 패턴을 식각마스크로 하여 노출된 상기 제2 블록킹층 및 제1 블록킹층을 식각하는 단계 및 상기 포토레지스트 패턴을 제거하는 단계를 포함한다.

<30> 상기 제1 블록킹층을 증착하기 전에 상기 게이트전극층의 노출된 표면을 포함한 상기 반도체기판의 표면에 상기 제1 블록킹층과 식각선택성을 갖는 제1 절연층을 형성하는 단계를 더 포함할 수 있으며, 바람직한 실시예로서 상기 제1 절연층은 실리콘옥사이드층이며, 상기 제1 블록킹층은 실리콘나이트라이드층이며, 상기 제2 블록킹층은 실리콘옥사이드층일 수 있으며, 다른 실시예로서, 상기 1 절연층은 실리콘옥사이드층이며, 상기 제1 블록킹층은 SiON층 또는 SiBN층이며, 상기 제2 블록킹층은 실리콘옥사이드층일 수 있다.

<31> 바람직하게는, 상기 제2 블록킹층 및 제1 블록킹층을 식각하는 단계에서, 상기 게이트전극층의 측벽에 잔류하는 제1 블록킹층을 추가적으로 더 제거할 수 있다.

- <32> 한편, 상기 포켓영역을 형성하는 단계에서, 상기 블록킹층 패턴의 두께와 상기 게이트전극층의 측벽과 상기 블록킹층 패턴 사이의 거리를 조절함으로써 상기 포켓영역이 차지하는 비율을 제어할 수 있으며, 상기 딥 소오스/드레인 영역을 형성한 후, 상기 게이트전극층 및 소오스/드레인 영역의 표면에 금속실리사이드층을 형성하는 단계를 더 포함할 수 있다.
- <33> 본 발명에 따르면, 블록킹층 패턴을 통하여 포켓영역의 위치나 점유면적을 임의로 조절할 수 있기 때문에 모스 전계효과 트랜지스터의 소오스/드레인영역의 접합용량을 용이하게 감소시킬 수 있다.
- <34> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예들을 상세하게 설명한다. 그러나, 본 발명은 많은 상이한 형태로 구현될 수 있으며, 여기서 설명되는 실시예들에 한정되는 것으로 해석되서는 아니되며, 차라리 이러한 실시예들은 그 개시내용을 완벽히 하며 발명의 사상을 당업자에게 충분히 전달하기 위해 제공되는 것이다. 도면들에서, 층들 및 영역들의 두께는 명료성을 위해 과장되어 있다. 동일한 참조번호는 전체적으로 동일한 요소를 지칭한다. 층, 영역 또는 기판과 같은 요소가 다른 요소 "상(on)"에 있는 것으로 언급될 때, 이것은 다른 요소 위에 직접 있거나 중간요소가 개입될 수도 있다. 반대로, 어떤 요소가 다른 요소 "직접 상(directly on)"에 있는 것으로 언급될 때, 그 곳에는 중간요소가 존재하지 않는 것을 의미한다.
- <35> 도 2는 본 발명의 실시예에 따라 포켓영역을 형성하기 위한 이온주입시 블록킹 효과를 설명하기 위한 개략도이다.
- <36> 도 2를 참조하면, 반도체기판(20)의 상측 일부에 트렌치 산화막 또는 필드산화막등으로 이루어진 소자분리영역(22)이 형성되어 있으며, 소자분리영역(22)으로부터 일정한

거리를 두고 반도체기판(22)상에 게이트전극(24)이 형성되어 있으며, 상기 소자분리영역(22)과 게이트전극(24) 사이의 반도체기판(20)의 표면을 덮는 블록킹층(26)이 형성되어 있으며, 게이트전극(24)의 측벽 하부 부근에 상기 반도체기판(20)의 표면으로부터 일정한 깊이에 불순물이온이 틸팅 각도 θ 만큼 기울어져 주입된 포켓영역(28)이 형성되어 있다.

<37> 도 2에서 부호 'b'는 블록킹층(26)의 두께를 나타내며, 부호 'c'는 게이트전극(24)과 블록킹층(26) 사이의 거리를 나타내며, 부호 'd'는 디자인룰(design rule)에 의한 소자분리영역(22)과 게이트전극(24) 사이의 거리를 나타내며, 부호 'd''는 포켓영역(28)의 폭을 나타내며, ' θ '는 이온주입시 틸팅(tilting) 각도를 나타내며, 'Rp'는 이온주입시 투영비정거리(projected range)를 나타낸다.

<38> 도 2에서 반도체기판(20) 내에 틸팅 각도 θ 로 이온주입하는 경우, 블록킹층(26)이 형성되지 않은 경우 대비 블록킹층(26)이 형성된 경우 포켓 이온주입에 의해 형성되는 포켓접합영역, 즉 포켓영역(28)의 비율(r)은 다음 식으로 구할 수 있다.

<39>
$$\text{비율}(r) = d'/d = [c - b/\tan(90-\theta) - R_p \sin\theta] / d$$

<40> 예를 들어, 디자인룰에 의한 소자분리영역(22)과 게이트전극(24) 사이의 거리가 1500Å 이고, 도펀트의 에너지와 농도를 고려한 Rp가 600Å이며, 틸팅 각도를 30. 라고 가정하고, 포켓영역(28)을 50%를 목표로 가정한다면, 블록킹층(26)의 두께와 게이트전극(24)과 블록킹층(26) 사이의 거리에는 다음의 관계식이 성립한다.

<41>
$$c - b/\sqrt{3} = 1050$$

- <42> 따라서 블록킹층(26)의 두께 'b'와 게이트전극(24)와 블록킹층(26) 사이의 거리 'c'가 위의 비율을 유지하면 블록킹층(26)의 존재에 따라 형성되는 포켓영역(28)이 블록킹층(26)이 존재하지 않았을 때 형성될 수 있는 포켓 접합영역 대비 50%를 유지하고, 그에 따라 전체 접합 용량도 50% 감소하는 효과를 얻을 수 있다.
- <43> 도 3 내지 도 14는 본 발명의 바람직한 실시예에 따른 포켓영역을 구비하는 MOS 전계효과 트랜지스터의 제조방법을 설명하기 위한 공정단면도들이다.
- <44> 도 3을 참조하면, 반도체기판(50)내에 국부적 산화(LOCOS)법이나 트렌치법등의 통상의 소자분리 공정에 의해 절연층으로 이루어진 소자분리영역(52)을 형성한다. 이어서 반도체기판(50)의 전체 표면에 게이트절연층(54) 및 게이트전극층(56) 형성물질, 예를 들어 산화막 및 폴리실리콘을 증착한 후 통상의 포토리소그래피 공정에 의해 소자분리영역(52)에 의해 정의되는 반도체기판(50)의 소자 활성영역상에 게이트전극층(56)을 형성한다. 이어서 산화 공정을 수행하여 반도체기판(50)의 노출된 표면과 게이트전극층(56)의 노출된 표면상에 산화막으로 된 제1 절연층(58)을 형성한다.
- <45> 상기 게이트절연층(54)의 재질로서는 실리콘산화막(SiO_2)외에도 실리콘질화막(Si_3N_4), 실리콘산화질화막(SiON), ZrO_2 , HfO_2 , Ta_2O_5 , Al_2O_3 등이 사용될 수도 있다. 한편, 게이트전극층(56)의 재질로서는 폴리실리콘외에도 실리콘 결합물 및 금속을 사용할 수 있으며, 이들 재료를 단층 또는 다층으로 하여 사용할 수 있다. 한편, 본 실시예에서 상기 반도체기판(50)은 실리콘 단결정 기판이지만, SOI(Silicon On Insulator) 기판에 대하여 적용될 수 있음은 물론이다.
- <46> 도 4를 참조하면, 표면에 제1 절연층(58)이 형성된 반도체기판(50)에 대하여 게이트전극층(56)을 마스크로 하여 제1 이온주입물(60)을 이온주입하여 LDD(Lightly Doped

Drain)영역인 제1 이온주입영역(62)을 형성한다. 상기 LDD영역은 전계를 낮추어서 핫캐리어효과(hot carrier effect)를 방지해주기 위해 형성하는 것으로서, 통상적으로 수 keV 이하의 저에너지로 이온주입한다.

<47> 도 5를 참조하면, 제1 이온주입영역(62)을 형성한 후, 예를 들어 질화막으로 이루어진 제1 블록킹층(64)과 상기 질화막과 식각선택성을 갖는 예를 들어 산화막으로 이루어진 제2 블록킹층(66)을 연속하여 반도체기판(50) 상에 형성한다. 이때 전술한 바와 같이, 제1 블록킹층(64) 및 제2 블록킹층(66)의 두께는 후속하여 수행되는 포켓영역을 위한 포켓 이온주입시 제1 블록킹층(64) 및 제2 블록킹층(66)에 의해 세도우잉(shadowing)되는 영역을 결정해주는 중요 변수가 된다. 본 실시예에서는 제1 블록킹층(64) 및 제2 블록킹층(66)으로 이루어진 블록킹층을 예시하고 있지만, 본 발명은 3층 이상의 복수개의 블록킹층을 사용할 수도 있다. 한편 제1 블록킹층(64)을 실리콘질화막으로 사용하는 대신에 실리콘산화막에 대하여 선택비를 갖는 SiON 이나 SiBN을 대신 사용할 수도 있다.

<48> 도 6을 참조하면, 제2 블록킹층(66)상에 포토레지스트 패턴(68)을 형성한 단계를 보여주는 단면도이다. 포토레지스트 패턴(68)은 블록킹층 패턴의 폭을 결정하는 것으로서 블록킹층의 두께와 함께 후속되는 포켓영역의 면적을 결정해주는 중요한 공정 변수가 된다.

<49> 도 7을 참조하면, 상기 포토레지스트 패턴(68)을 식각 마스크로 하여 노출된 제2 블록킹층(66) 및 제1 블록킹층(64)을 에치백하여 제거한다. 에치백 공정을 수행한 결과, 게이트전극층(56)의 측벽의 상기 제1 절연층(58)상에 제1 블록킹층(64)의 일부가 잔류하는 제1 블록킹층 스페이서(64a)가 형성된다.

<50> 도 8을 참조하면, 잔류하는 상기 제1 블록킹층 스페이서(64a)를 제거하기 위해 제2 블록킹층(66) 대비 제1 블록킹층(64)의 식각선택비가 우수한 물질을 사용하여 습식 식각 공정을 수행한다. 본 실시예에서는 산화막과 질화막간의 식각선택비가 약 40 : 1 이 되는 인산을 사용하였으며, 도 8에서 도시한 바와 같이, 질화막인 제1 블록킹층(64)은 인산에 대하여 쉽게 스트립되기 때문에 제1 블록킹층 스페이서(64a)가 전부 제거되는 동안에 제2 블록킹층(66) 하부의 제1 블록킹층(64)의 노출된 표면도 일부 식각되어 언더컷부(72)가 발생하지만, 제2 블록킹층(66)은 식각되지 않고 패턴의 형태를 거의 그대로 유지하게 된다.

<51> 도 9를 참조하면, 포토레지스트 패턴(68)을 제거하여 포켓 이온주입을 위한 블록킹층 패턴의 형성을 완료한다. 포토레지스트 패턴(68)의 제거는 통상적인 방법에 따라 황산과 과산화수소용액을 사용하여 제거한다.

<52> 도 10을 참조하면, 블록킹층 패턴과 게이트전극층 패턴을 이온주입 마스크로 하여 제2 이온주입물(74a, 74b)을 소정의 틸팅 각도로 이온주입하여 포켓영역(76)을 게이트전극층(56)의 측벽 하부인 제1 이온주입영역(62)의 채널 내측 접합영역 부근에 형성한다. 보다 구체적으로는, 블록킹층 패턴에 의해 블록킹되지 않는 제2 이온주입물(74a)은 반도체기판(50)의 표면으로부터 소정 깊이로 포켓영역(76)을 형성하며, 일부의 제2 이온주입물(74b)은 블록킹층 패턴에 의해 블록킹되어 반도체기판(50)내로 이온주입되지 않는다. 도 10에서 점선으로 표시한 부분을 블록킹층 패턴에 의해 블록킹되어 포켓 이온주입용의 제2 이온주입물(74b)이 주입되지 않은 영역을 개념적으로 나타낸 블록킹영역(78)을 나타낸다. 따라서, 블록킹층 패턴에 의해 일정한 면적을 갖는 포켓영역(76)이 국부적인 영역에서만 형성된다.

- <53> 도 11을 참조하면, 블록킹층 패턴을 제거한다. 블록킹층 패턴에서 제2 블록킹층(66)으로서 산화막은 불화수소 용액을 이용한 습식 식각으로 제거하며, 제1 블록킹층(64)으로서 질화막은 산화막에 대한 선택비가 좋은 인산을 이용하여 습식 식각한다. 이때 제1 절연층(58)으로서 산화막은 게이트전극층(56) 및 반도체기판(50)에 대한 식각 데미지를 막아주는 역할을 하게된다.
- <54> 도 12를 참조하면, 딥 소오스/드레인영역(deep source/drain region)을 형성하기 위한 이온주입 마스크층으로서 게이트전극층(56)의 측벽에 게이트전극층(56)의 측벽으로부터 일정한 길이를 갖는 게이트 스페이서(80)를 형성한다. 게이트 스페이서(80)는 질화막 또는 산화막으로 형성하거나, 이들 막의 조합으로 형성할 수 있다. 즉 게이트 스페이서(80) 형성물질을 반도체기판(50)의 표면 전체에 증착시킨 후 제1 절연층(58)의 표면이 노출될 때까지 에치백 공정을 수행하여 게이트 스페이서(80)를 형성하게 된다.
- <55> 도 13을 참조하면, 게이트 스페이서(80)를 이온주입 마스크로 하여 제3 이온주입물(82)을 고농도로 약 수십 KeV의 에너지로 이온주입하여 상기 포켓영역(76)과 소자분리영역(52)에 딥 소오스/드레인영역인 제3 이온주입영역(84)을 형성한다.
- <56> 도 14를 참조하면, 코발트, 니켈, 티타늄 등의 적절한 금속을 증착한 후 통상적인 실리사이드 공정을 거쳐 금속실리사이드층(86)을 산화막으로 된 제1 절연층(58)이 노출된 반도체기판(50)의 표면과 게이트전극층(56)의 표면층에 각기 형성한다.
- <57> 한편, 도 3 내지 도 14에서는 LDD영역을 형성한 후 포켓영역(76)을 형성하는 실시예에 대하여 상세히 설명하였지만, 본 발명은 상기 실시예에 한정되는 것은 아니다. 예를 들어, 본 발명은 블록킹층 패턴을 형성한 후, 블록킹층 패턴을 이온주입 마스크로 하여 포켓영역을 형성한 다음에 LDD영역을 형성할 수도 있다. 보다 구체적으로는, 본 발명

의 블록킹층 패턴을 형성한 후 포켓영역을 형성하고, 상기 블록킹층 패턴을 제거한 다음에, 게이트전극층을 이온주입 마스크로 하여 이온주입하여 반도체기판내에 LDD 영역을 형성하고, 계속하여 상기 게이트전극층의 측벽에 스페이서를 형성한 후 상기 스페이서가 형성된 게이트전극층을 이온주입 마스크로 하여 상기 반도체기판내에 딥 소오스/드레인 영역을 형성할 수 있다.

<58> 이상에서 본 발명의 실시예들에 대하여 상세히 설명하였지만, 본 발명의 기술범위는 상기 실시예들의 형태에 한정되는 것이 아니라 본 발명의 기술적 사상을 벗어나지 않는 범위내에서 당업자의 기술수준에 따라 여러 가지로 변경을 가하는 것이 가능하다.

【발명의 효과】

<59> 본 발명에 의하면, 게이트 절연층 및 게이트 도전층을 포함하는 게이트 패턴의 적어도 측벽에 산소의 확산을 방지할 수 있는 버퍼층을 형성한 후 산소 어닐링이나 게이트 재산화 공정등의 큐어링 공정을 수행하기 때문에 게이트 절연층과 게이트 도전층 계면에서의 산소 확산에 의한 산화가 방지되어 게이트 절연층 가장자리에서의 버즈비크의 발생이 억제되어 게이트 절연층의 유효 두께의 증가없이 게이트 패턴 식각시 발생된 데미지를 충분히 큐어링할 수 있다.

【특허 청구범위】**【청구항 1】**

반도체기판상에 게이트전극층을 형성하는 단계;

상기 게이트전극층을 이온주입 마스크로 하여 이온주입함으로써 상기 반도체기판 내에 LDD(Lightly Doped Drain)영역을 형성하는 단계;

상기 게이트전극층이 형성된 반도체기판상에, 상기 게이트전극층의 측벽으로부터 소정의 거리에 이르는 상기 반도체기판의 표면 일부를 노출시키는 복수개의 블록킹층으로 이루어진 블록킹층 패턴을 형성하는 단계;

상기 게이트전극층과 블록킹층 패턴을 이온주입 마스크로 하여 이온주입함으로써 상기 반도체기판내에 포켓영역을 형성하는 단계;

상기 블록킹층 패턴을 제거하는 단계;

상기 게이트전극층의 측벽에 스페이서를 형성하는 단계; 및

상기 스페이서가 형성된 게이트전극층을 이온주입 마스크로 하여 이온주입함으로써 상기 반도체기판내에 딥 소오스/드레인(Deep Source/Drain) 영역을 형성하는 단계를 포함하는 포켓영역을 구비한 모스 전계효과 트랜지스터의 제조방법.

【청구항 2】

반도체기판상에 게이트전극층을 형성하는 단계;

상기 게이트전극층이 형성된 반도체기판상에, 상기 게이트전극층의 측벽으로부터 소정의 거리에 이르는 상기 반도체기판의 표면 일부를 노출시키는 복수개의 블록킹층으로 이루어진 블록킹층 패턴을 형성하는 단계;

상기 게이트전극층과 블록킹층 패턴을 이온주입 마스크로 하여 이온주입함으로써
상기 반도체기판내에 포켓영역을 형성하는 단계;

상기 블록킹층 패턴을 제거하는 단계;

상기 게이트전극층을 이온주입 마스크로 하여 이온주입함으로써 상기 반도체기판내
에 LDD 영역을 형성하는 단계;

상기 게이트전극층의 측벽에 스페이서를 형성하는 단계; 및

상기 스페이서가 형성된 게이트전극층을 이온주입 마스크로 하여 상기 반도체기판
내에 딥 소오스/드레인 영역을 형성하는 단계를 포함하는 포켓영역을 구비한 모스 전계
효과 트랜지스터의 제조방법.

【청구항 3】

제 1 항 또는 제 2 항에 있어서, 상기 반도체기판은 단결정 실리콘 기판 또는
SOI(Silicon On Insulator) 기판임을 특징으로 하는 포켓영역을 구비한 모스 전계효과
트랜지스터의 제조방법.

【청구항 4】

제 1 항 또는 제 2 항에 있어서, 상기 게이트전극층은 폴리실리콘층, 실리콘결합물
층 또는 금속층의 적어도 하나 또는 이들의 조합으로 이루어진 것임을 특징으로 하는 포
켓영역을 구비한 모스 전계효과 트랜지스터의 제조방법.

【청구항 5】

제 1 항 또는 제 2 항에 있어서, 상기 블록킹층 패턴을 형성하는 단계는,

상기 게이트전극층이 형성된 반도체기판의 전체 표면에 제1 블록킹층을 증착하는 단계;

상기 제1 블록킹층상에 제1 블록킹층과 식각선택성을 갖는 제2 블록킹층을 증착하는 단계;

상기 게이트전극층을 중심으로 그 양 측벽으로부터 소정의 거리에 이르는 부분을 노출시키는 포토레지스트 패턴을 형성하는 단계;

상기 포토레지스트 패턴을 식각마스크로 하여 노출된 상기 제2 블록킹층 및 제1 블록킹층을 식각하는 단계; 및

상기 포토레지스트 패턴을 제거하는 단계를 포함하는 것을 특징으로 하는 포켓영역을 구비한 MOS 전계효과 트랜지스터의 제조방법.

【청구항 6】

제 5 항에 있어서, 상기 제1 블록킹층을 증착하기 전에 상기 게이트전극층의 노출된 표면을 포함한 상기 반도체기판의 표면에 상기 제1 블록킹층과 식각선택성을 갖는 제1 절연층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 포켓영역을 구비한 MOS 전계효과 트랜지스터의 제조방법.

【청구항 7】

제 6 항에 있어서, 상기 제1 절연층은 실리콘옥사이드층이며, 상기 제1 블록킹층은 실리콘나이트라이드층이며, 상기 제2 블록킹층은 실리콘옥사이드층임을 특징으로 하는 포켓영역을 구비한 MOS 전계효과 트랜지스터의 제조방법.

【청구항 8】

제 6 항에 있어서, 상기 제1 절연층은 실리콘옥사이드층이며, 상기 제1 블록킹층은 SiON층 또는 SiBN층이며, 상기 제2 블록킹층은 실리콘옥사이드층임을 특징으로 하는 포켓영역을 구비한 모스 전계효과 트랜지스터의 제조방법.

【청구항 9】

제 5 항에 있어서, 상기 제2 블록킹층 및 제1 블록킹층을 식각하는 단계에서, 상기 게이트전극층의 측벽에 잔류하는 제1 블록킹층을 추가적으로 더 제거하는 것을 특징으로 하는 포켓영역을 구비한 모스 전계효과 트랜지스터의 제조방법.

【청구항 10】

제 1 항 또는 제 2 항에 있어서, 상기 포켓영역을 형성하는 단계에서, 상기 블록킹층 패턴의 두께와 상기 게이트전극층의 측벽과 상기 블록킹층 패턴 사이의 거리를 조절함으로써 상기 포켓영역이 차지하는 비율을 제어하는 것을 특징으로 하는 포켓영역을 구비한 모스 전계효과 트랜지스터의 제조방법.

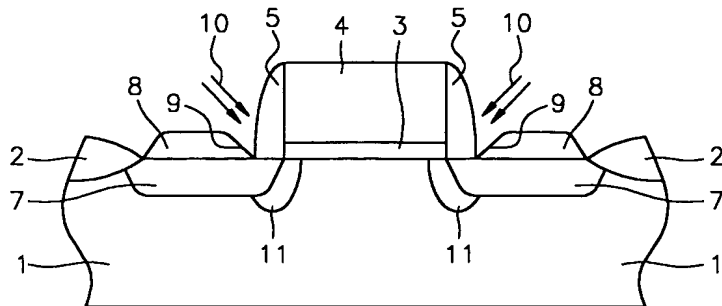
【청구항 11】

제 1 항 또는 제 2 항에 있어서, 상기 딥 소오스/드레인 영역을 형성한 후, 상기 게이트전극층 및 소오스/드레인 영역의 표면에 금속실리사이드층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 포켓영역을 구비한 모스 전계효과 트랜지스터의 제조방법.

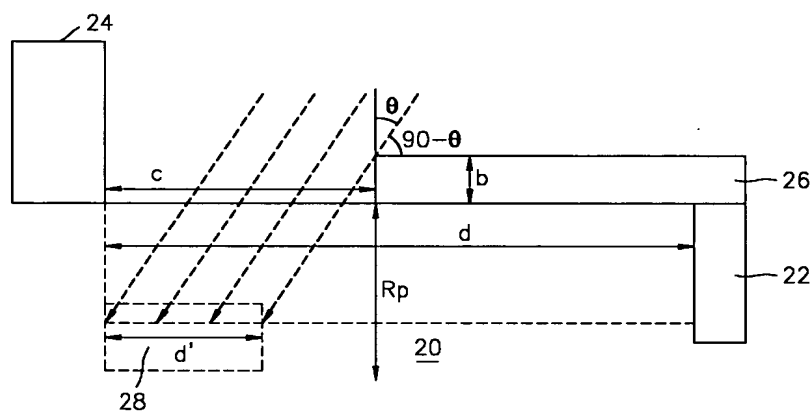


【도면】

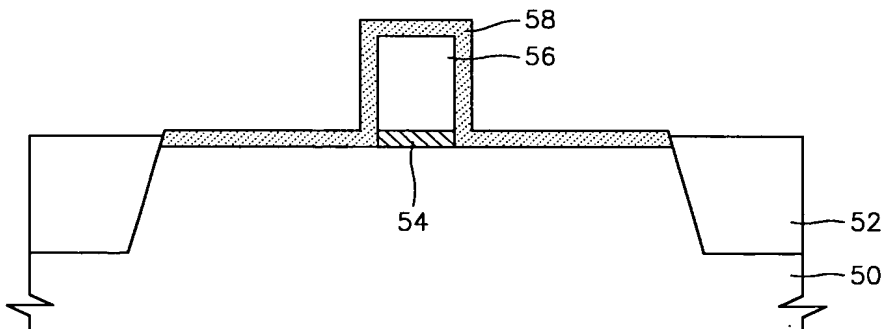
【도 1】



【도 2】



【도 3】

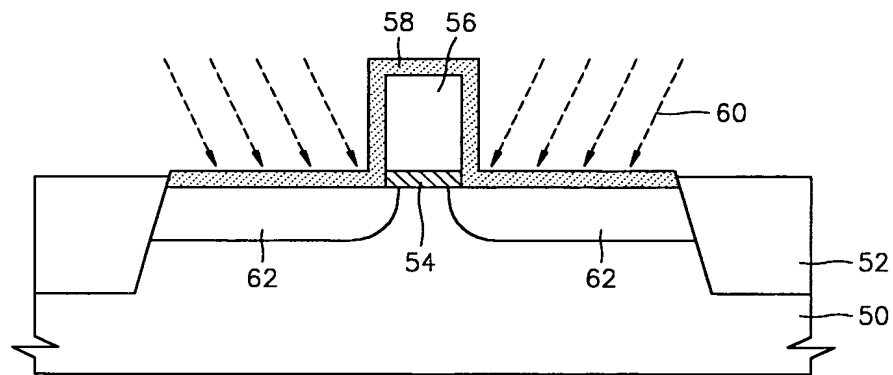




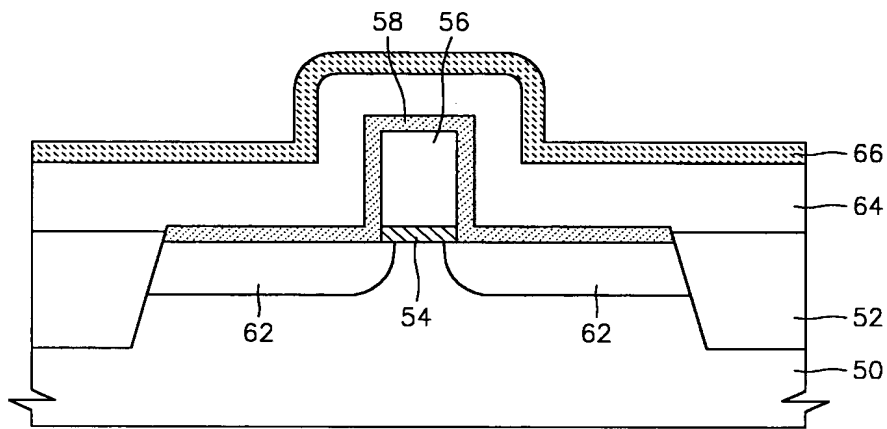
1020030010323

출력 일자: 2003/7/16

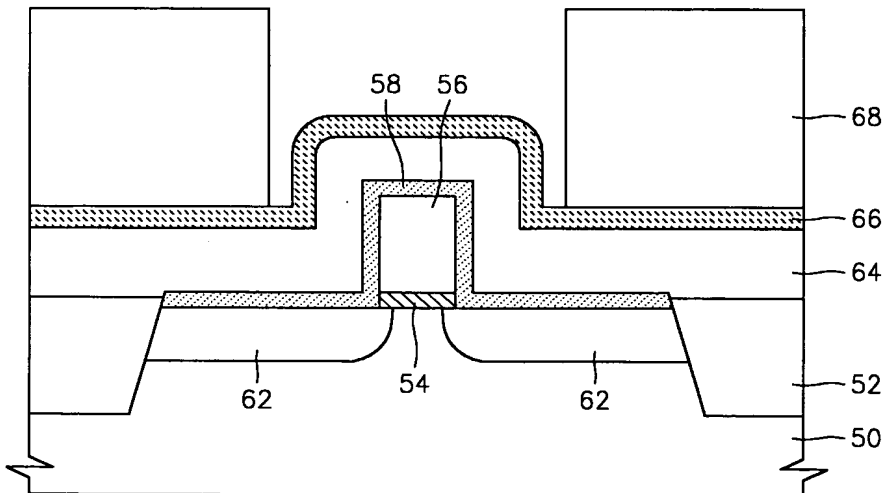
【도 4】



【도 5】

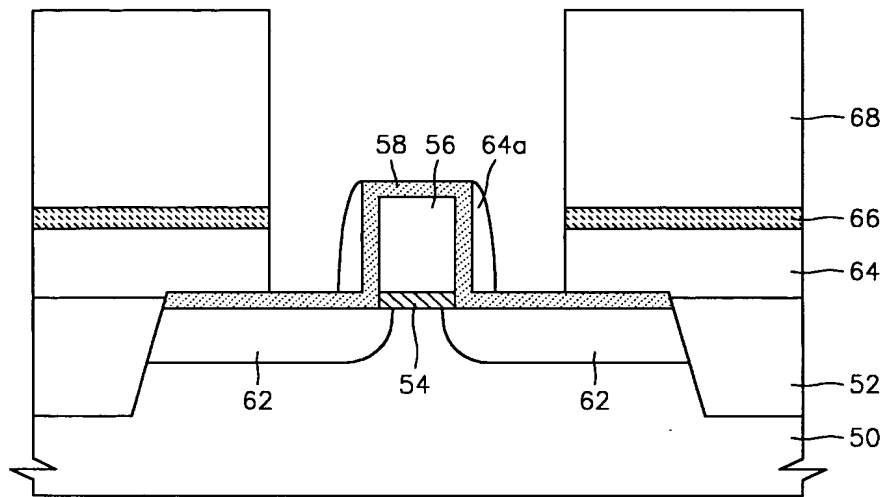


【도 6】

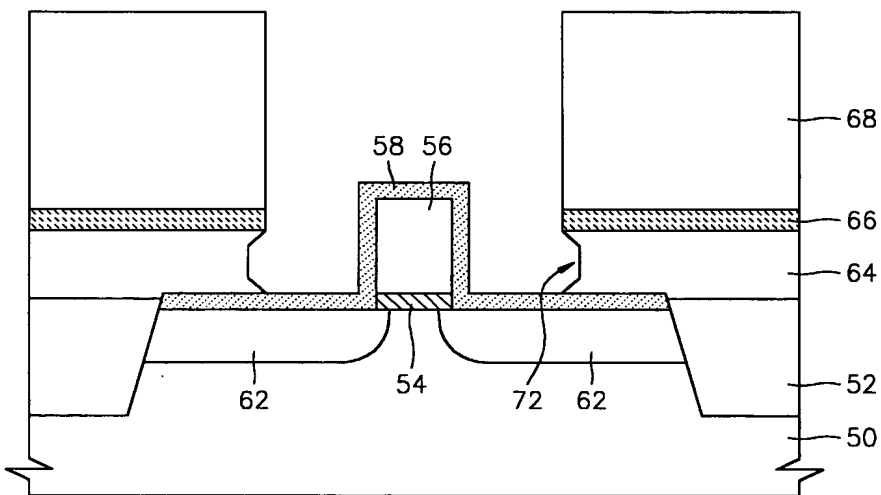




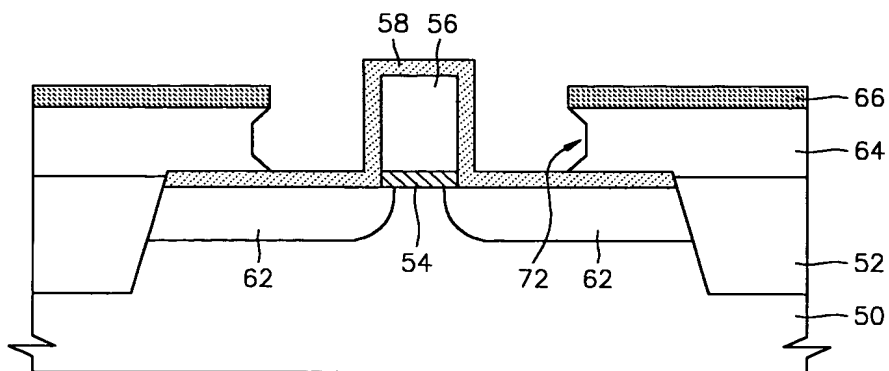
【도 7】



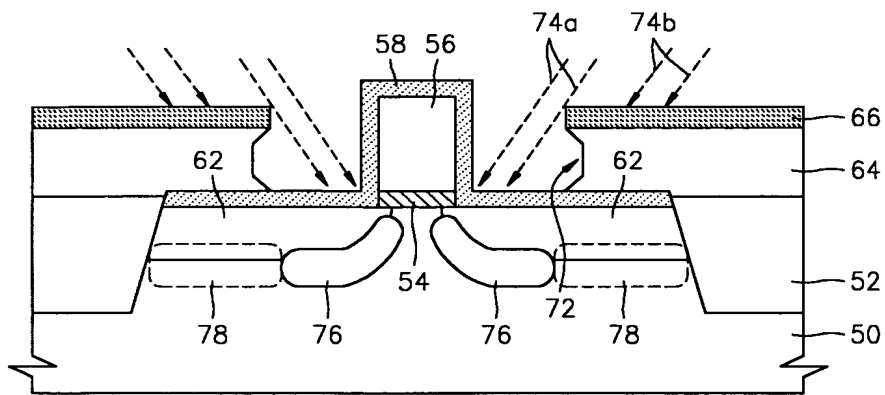
【도 8】



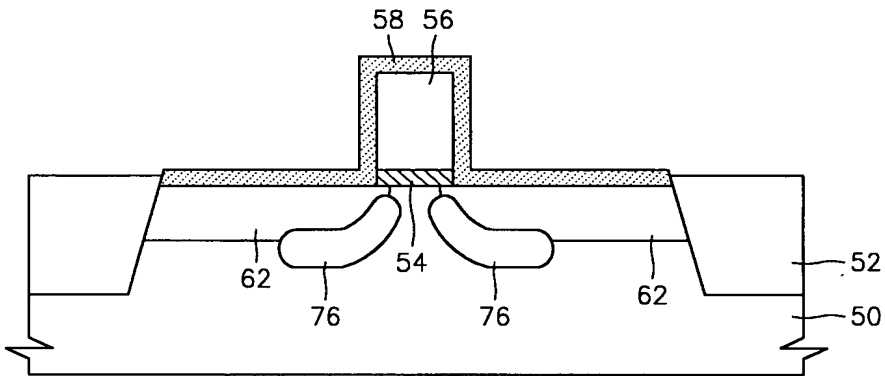
【도 9】



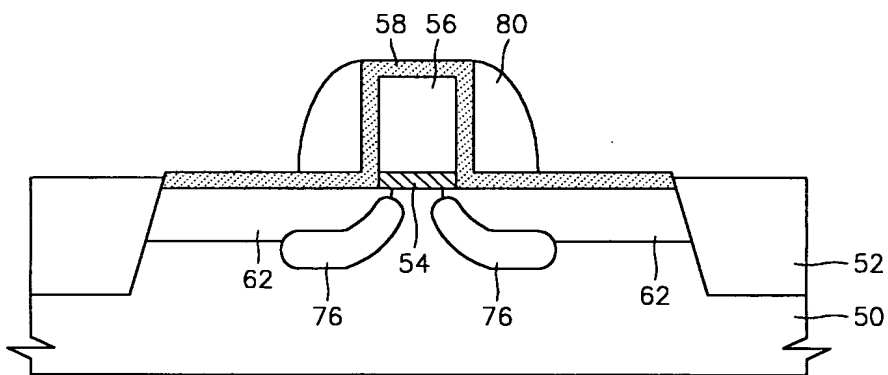
【도 10】



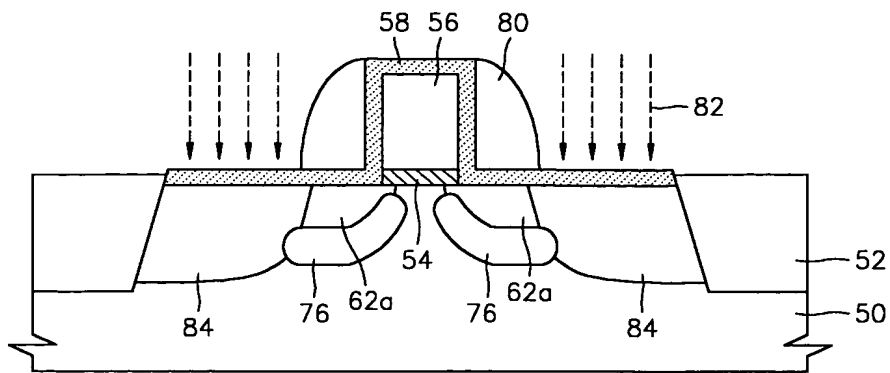
【도 11】



【도 12】



【도 13】



【도 14】

